

[Extract Translation of Japanese Patent No.H7-71111]

[Title] Packet exchange processing apparatus

Claim 1

A packet exchange processing apparatus comprising:

a physical level/frame level control device connected to a circuit group, for controlling the transmission of data packets; and exchange processing means being inputted with the data packets and exchanging the data packets,

wherein the exchange processing means comprises:

input packet segment means for dividing the data packet into a header portion and a data portion; packet header processing means for updating the divided header portion;

packet data buffering means for storing the divided data portion; and output packet combining means for combining an output from the packet data buffering means and an output from the packet header processing means and providing the combined result to the physical level/frame level control device,

wherein the packet header processing means comprises:

an input control device 31 being inputted with the header portion divided by the input packet segment means and including a first reference address and an input circuit identifier;

a processing routine control device 32 being inputted with an output of the input control device and adding a second reference address to the output;

an operating template referring device 33 being inputted with an output from the processing routine control device and adding an operating template reference information to the output;

an operating memory device 34 being inputted with an output from the operating template referring device and writing the output to an operating template;

an operating template calling device 35 for calling for the operating template from the operating memory device when a firing condition is met;

a manipulation device group 40 being inputted with the operating template which meets the firing condition, adding a third reference address to the operating template through a calculation, and providing the added result to the processing routine control device; and

an output control device 36 being inputted with the operating template provided with all of necessary data from the operating memory device, and providing it to the output packet combining means.

(19)日本国特許庁 (JP)

(12)特許公報 (B2)

(11)特許出願公告番号

特公平7-71111

(24) (44)公告日 平成7年(1995)7月31日

(51)Int.Cl.<sup>6</sup>  
H 0 4 L 12/56

識別記号  
H 0 4 L 12/56  
9077-5K

府内整理番号  
F I  
H 0 4 L 11/ 20

技術表示箇所  
1 0 2 Z

発明の数1(全8頁)

(21)出願番号 特願昭61-212642  
(22)出願日 昭和61年(1986)9月11日  
(65)公開番号 特開昭62-155649  
(43)公開日 昭和62年(1987)7月10日  
(31)優先権主張番号 特願昭60-203816  
(32)優先日 昭60(1985)9月13日  
(33)優先権主張国 日本 (JP)

(71)出願人 99999999  
日本電気株式会社  
東京都港区芝5丁目7番1号  
(72)発明者 平田 英之  
東京都港区芝5丁目33番1号 日本電気株  
式会社内  
(74)代理人 弁理士 山川 政樹 (外2名)  
審査官 吉田 隆之

(56)参考文献 昭和59年度電子通信学会総合全国大会  
(昭和59年3月5日発行) 1980 二神新  
「データフロー制御多動化信号処理装置の  
検討」

(54)【発明の名称】 パケット交換処理装置

1

【特許請求の範囲】

【請求項1】回線群に接続されデータパケットの伝送制御を行う物理レベル・フレームレベル制御装置と、このデータパケットを入力して交換処理を行う交換処理手段とを備えると共に、上記データパケットをヘッダ部とデータ部とに分離する入力パケット分離手段と、この分離されたヘッダ部を更新するパケットヘッダ処理手段と、上記分離されたデータ部を格納するパケットデータバッファ手段と、このパケットデータバッファ手段の出力と上記パケットヘッダ処理手段の出力とを合成して上記物理レベル・フレームレベル制御装置に与える出力パケット合成手段とを上記交換処理手段に備えたパケット交換処理装置において、上記入力パケット分離装置から分離され第1の参照アドレスおよび入力回線識別子が付加されたヘッダ部を入力する入力制御装置(31)と、この入

2

力制御装置の出力を入力し第2の参照アドレスを付加する処理ルーチン制御装置(32)と、この処理ルーチン制御装置の出力を入力し動作テンプレート参照情報を付加する動作テンプレート参照装置(33)と、この動作テンプレート参照装置の出力を入力し動作テンプレートに書き込む動作記憶装置(34)と、この動作記憶装置から発火条件を満たしたときこの動作テンプレートを呼び出す動作テンプレート呼出装置(35)と、この発火条件を満たした動作テンプレートを入力し演算処理を行い新たな第3の参照アドレスを付加して上記処理ルーチン制御装置に与える操作機構構(40)と、上記動作記憶装置から全ての必要データがそろった動作テンプレートを入力し出力パケット合成装置に与える出力制御装置(36)とを上記パケットヘッダ処理手段に備えたことを特徴とするパケット交換処理装置。

## 【発明の詳細な説明】

## 〔産業上の利用分野〕

本発明は、デジタル情報の伝送に適するパケット交換処理装置に関する。特に、パケット交換処理装置におけるパケットレベルの処理装置に関するものである。

## 〔従来の技術〕

従来、パケット交換処理装置は、受信したデータパケットをプロセッサの管理下にある主記憶回路の共通なパケット格納領域に格納し、交換処理およびフロー制御処理等を行なっていた。すなわち、装置構成そのものは一般的の汎用プロセッサを使ったものであり、物理レベル・フレームレベル制御装置に対する入出力ポートを主記憶回路およびダイレクトメモリアクセスチャネルなどとともにシステムバス上にもつ構成をとっていた。

## 〔発明が解決しようとする問題点〕

このような従来のパケット交換処理装置では、プロセッサの主記憶装置がそのままパケットの通話路およびスイッチを兼用している。したがって、特にデータパケットの交換・フロー制御を行なうとき、プロセッサが関与しなければならないヘッダ部の長さはデータパケット全体の長さに比して十分小さいにもかかわらず受信パケットデータをすべて主記憶装置に格納しなければならない。このため、大容量、高速のパケット交換を実現しようとするときに、この格納領域を十分確保することが困難であるという欠点があった。

本発明はこのような点に鑑みてなされたものであり、その目的とするところは、比較的簡単な装置構成でデータ部の長さに影響されることなく大容量で高速なパケット処理ができるパケット交換処理装置を得ることにある。

## 〔問題点を解決するための手段〕

このような問題点を解決するために本発明は、回線群に接続されデータパケットの伝送制御を行う物理レベル・フレームレベル制御装置と、このデータパケットを入力して交換処理を行う交換処理手段とを備えると共に、上記データパケットをヘッダ部とデータ部とに分離する入力パケット分離手段と、この分離されたヘッダ部を更新するパケットヘッダ処理手段と、上記分離されたデータ部を格納するパケットデータバッファ手段と、このパケットデータバッファ手段の出力と上記パケットヘッダ処理手段の出力を合成して上記物理レベル・フレームレベル制御装置に与える出力パケット合成手段とを上記交換処理手段に備えたパケット交換処理装置において、上記入力パケット分離装置から分離され第1の参照アドレスおよび入力回線識別子が付加されたヘッダ部を入力する入力制御装置と、この入力制御装置の出力を入力し第2の参照アドレスを付加する処理ルーチン制御装置と、この処理ルーチン制御装置の出力を入力し動作テンプレート参照情報を付加する動作テンプレート参照装置と、この動作テンプレート参照装置の出力を入力し動作テンプレートに書き込む動作記憶装置と、この動作記憶装置

から発火条件を満たしたときこの動作テンプレートを呼び出す動作テンプレート呼出装置と、この発火条件を満たした動作テンプレートを入力し演算処理を行い新たな第3の参照アドレスを付加して上記処理ルーチン制御装置に与える操作機構群と、上記動作記憶装置から全ての必要データがそろった動作テンプレートを入力し出力パケット合成装置に与える出力制御装置とを上記パケットヘッダ処理手段に設けたものである。

## 〔作用〕

10 物理レベル・フレームレベル制御装置で受信したデータパケットを入力パケット分離手段でヘッダ部とデータ部とに分離する。データ部はパケットデータバッファ手段で格納し、またヘッダ部はパケットヘッダ処理手段で更新し出力パケット合成手段で格納されたデータ部と合成して物理レベル・フレームレベル制御装置に与える。これにより、データ部の長さに影響されることなく大容量のデータパケットを高速に処理することができる。また、データパケットヘッダ部に付加された参照アドレスによってパケットヘッダ処理手段内で個々の論理回線毎の状態管理を装置の構造上独立に行なうという利点をもつ。

## 〔実施例〕

本発明は、デジタル情報の伝送に使用されるパケット交換処理装置において、デジタルパケットをデータ部とヘッダ部とに分離し、パケットヘッダ処理装置でヘッダ部のみパイプライン化した処理装置により高速に処理した後にデータ部と合成することにより、高速なパケット交換処理を比較的簡単な装置構成でできるようにしたものである。

30 本発明に係わるパケット交換処理装置の一実施例を第1図に示す。第1図において、回線11～1n上に論理多重されたデータパケットは、それぞれ、物理レベル・フレームレベル制御装置10の回線終端・フレームレベル制御装置111～11nを介して入出力が行なわれる。回線終端・フレームレベル制御装置111～11n、リードオンリメモリとランダムアクセスメモリとからなる主記憶装置13、出力ポート14および入力ポート15はバス制御、保守、管理手段をもつマイクロプロセッサ12のシステムバスに接続される。

40 ここで本発明の特徴とするところは、一点鎖線で囲むパケットデータ処理部分である。すなわち、回線終端・フレームレベル制御装置11からデータパケットがマイクロプロセッサ12の指示で出力ポート14を介してパケットレベル処理装置20の入力パケット分離装置21に接続される。入力パケット分離装置21でデータパケットはデータ部とヘッダ部とに分離される。データ部はパケットデータバッファ装置22に接続され格納される。ヘッダ部はパケットヘッダ処理装置30に接続され、ヘッダ部が更新される。パケットヘッダ処理装置30から更新されたヘッダ部が出力パケット合成装置23に接続され、パケットデー

タバッファ装置22に格納されているデータ部が読み出され合成される。出力パケットデータ装置23から合成されたデータパケットが入力ポート15に接続される。入力ポート15から合成されたデータパケットが回線終端・フレームレベル制御装置11に転送され、回線終端・フレームレベル制御装置11から回線1に送出される。

このような構成のパケット交換処理装置の動作について説明する。第1図において、物理レベル・フレームレベル制御装置10は、回線1とのインターフェース手段（物理層、Physical Layer）をもつ装置であると同時に、パケット通信処理のうちフレームレベルの処理を行ない、パケットレベル処理装置20との間でデータパケットをやりとりする装置である。この実施例では、回線ごとに設けられた回線終端・フレームレベル制御装置11～11n、パケットレベル処理装置20との出力ポート14、入力ポート15およびリードオンリーメモリ、ランダムアクセスメモリからなる主記憶装置13をバス制御、保守、管理を行なうマイクロプロセッサ12のシステムバス上にもつ構成を示した。ここで、たとえば回線終端・フレームレベル制御装置11nによって受信されたパケットは、マイクロプロセッサ12の指示で、パケットレベル処理装置20への出力ポート14を介して、入力パケット分離装置21へ転送される。入力パケット分離装置21は受け取ったパケットの回線番号と論理チャネルから呼の識別を行なうと同時にパケット種別を判別し、データパケットであれば制御に必要なヘッダ部のみパケットヘッダ処理装置30へ転送し、データ部をパケットデータバッファ装置22へ転送する。このときに、パケットデータバッファ装置22は、入力パケット分離装置21の指示に従って受け取ったデータ部を格納する。パケットヘッダ処理装置30へ入力されたパケットは、後述するパケットヘッダ処理装置30での処理を受けて更新され、出力パケット合成装置23へ出力され、ここで必要なデータ部をパケットデータバッファ装置22より読み出して出力パケットを合成し、入力ポート15を介しマイクロプロセッサ12の指示の下に、たとえば回線終端・フレームレベル制御装置11nへ送られ、フレームレベルの処理に従って回線1nへ出力される。

次に、第2図、第3図を参照して本装置の動作を説明する。第2図は本装置のパケットヘッダ処理装置30（第1図参照）のブロック系統図である。第3図は、第2図のパケットヘッダ処理装置を構成する各装置間で転送されるデータの形式を示すデータ形式図である。第2図および第3図において、31は入力制御装置、32は処理ルーチン制御装置、33は動作テンプレート参照装置、34は動作記憶装置、35は動作テンプレート呼出装置、36は出力制御装置、40は操作機構群、41は操作機構である。

ここで、動作テンプレートとは、例えばデータ・フロー・マシンの機械語としてのそれぞれのアクタ或いは複数のアクタの組み合わせに対応させたもの（相機、飯塚、元岡、田中 著「岩波講座 “情報科学-15、計算機ア-

キテクチャ” 岩波書店、P.181～184参照）であり、<操作コード、演算数1、演算数2、結果の行先>等から構成されるものである。

入力制御装置31および出力制御装置36はFIFOであり、処理ルーチン制御装置32は、操作機構群40の各操作機構41および入力制御装置31からのトークンの入力を制御するアービトレイタ321、入力トークンの論理回線毎の状態を記憶する状態参照テーブル・メモリ322、入力トークン210のもつ制御情報と状態参照テーブル・メモリ322とを参照することによって得られた参照アドレスにより参照され、以下の処理の流れを決定する情報を出力する処理ルーチンテーブル・メモリ323とから構成されている。

動作テンプレート参照装置33は、後述の発火条件を満たしていない動作テンプレート216あるいは新しい動作テンプレートの参照アドレスを格納したメモリ331から構成されている。動作テンプレート216は、メモリによって構成される動作記憶装置34に格納されている。

一般に、データ・フロー・マシンにおいて、入力データ

20 が揃い演算が行われることを「発火」するといい、「発火」するために必要な入力データ群が揃うことを「発火条件」が満たされるという。ここで、上記動作テンプレートの種類は演算数の数や行先の数等によって増え、出力枝路にデータがないことを確認する手続きを付加すると、<操作コード、受領信号の確認数、演算数1、演算数2、結果の行先、演算数1の送元、演算数2の送元>の形式のテンプレートになる。受領信号は、演算が開始され演算数が使われ不要になったときに発せられ、演算数の送元に知らされる。この動作テンプレートは、必要数だけの受領信号の到達の確認が行え、演算数が全て到着すると「発火」する。動作テンプレート参照装置33は、必要なデータが揃い発火条件の成立した動作テンプレートのアドレス情報を読みだし、一旦FIFO351に格納する。

また、スケジューラ352の制御の下に、FIFO351から得たアドレスを用い、動作記憶装置34から動作テンプレートを読みだし、出力制御装置36あるいは操作機構41において処理可能なデータ形式に変換した後に動作テンプレートに含まれるアドレス（即ち、上記の行先）にしたがつてこれらの装置のいずれかにデータを転送する。

40 発火した動作テンプレートを基に演算処理を行なう操作機構群40は、入力FIFO411、処理装置412および出力FIFO413により構成される操作機構41の集合体である。処理装置412は、汎用マイクロプロセッサあるいは専用の演算処理装置等によって構成される。

前述のように、パケットヘッダ処理装置30の入力制御装置31へはデータパケットのヘッダ部211が入力されるが、このときに入力パケット分離装置21による解析結果に基づいて、入力回線識別子212が付加されたデータの流れ、即ち入力トークンの形をとる。いま入力制御装置31によって正しく受信された入力トークンは、処理ル

チニ制御装置32において、状態参照テーブル・メモリ322を参照し、該当する論理回線の状態番号213を読み出し、前記入力トークンのもつ制御情報211とともに新たな参照アドレスを生成し、次に処理ルーチンテーブル・メモリ323を参照し、動作テンプレート参照装置33の参照アドレス214が付加される。

こうしてトークンは、動作テンプレート参照装置33を参照し、動作テンプレート参照情報215を得て、動作記憶装置34へと転送される。ここでトークンは、自ら運んできた情報をもとに、そのトークンが、形成すべき動作テンプレート216へ書き込まれる。ここで、もし動作テンプレートが「発火」の条件を満たしたならば、動作テンプレート呼出装置35によって読み出され、動作テンプレート217に書かれた命令に従って、操作機構群40あるいは出力制御装置36へ転送する。いま、操作機構群40の1つの操作機構41へ転送されたとすると、ここで演算処理され、その結果218は次の処理を開始するために、処理ルーチン制御装置32の新たな参照アドレス220をもった前記入力トークンの形で転送され、動作テンプレート呼出装置35において、出力制御装置36へ出力すると判断されるまでの回数だけ上記処理を繰り返す。

次に動作記憶装置34の動作を第4図のフローを用いて説明する。第4図のフローは、一般的なトークンの入力の場合と、処理を途中で中断するために必要となるリリース命令トークンの入力の場合とを示す。情報211～215を有するトークンは、上述したように、動作テンプレート参照情報215を得て動作記憶装置34へと転送され、動作テンプレート参照情報215により動作テンプレートを探索する（ステップ51, 52）。ここでトークンは、自ら運んできた情報をもとに、そのトークンが形成すべき動作テンプレート216へ書き込まれる（ステップ53）。

次にステップ54において、もし動作テンプレートが「発火」の条件を満たしたならば、トークンは動作テンプレート呼出装置35によって読み出され、トークンとしての動作テンプレート217に書かれた命令に従って、操作機構群40あるいは出力制御装置36へ転送される。動作記憶装置34は、トークンを出力して（ステップ55）動作テンプレートを解放する（ステップ56）。その後、ステータス0の状態となり、ステップ51からのトークンの処理又はステップ57からのリリース命令の実行を行なう。

ステップ54において動作テンプレートが「発火」の条件を満たしていない場合は、ステータス0の状態となり、この場合動作記憶装置34のメモリには有效地に使用できない領域がいつまでも残存することになる。このような状況から回復する手段として後述のリリース命令が実行される。

ステップ57のリリース命令は、途中で処理を中断した場合、例えば演算結果218または219を使用して、操作機構40から動作記憶装置34へ伝えられる。この場合、オーバ

フロー防止のため動作テンプレートを解放する（ステップ58）。

最終的に出力するに必要なデータがすべて動作記憶装置34の動作テンプレートにそろったら、これは発火し、出力制御装置36を経て出力パケット合成装置23へ出力される。このときの出力トークンは、出力として更新されたパケットヘッダ部221、出力回線識別子222および出力制御情報223をもつトークンである。

上記パケットヘッダ処理装置30において、操作機構群40は複数の演算装置によって構成されるが、使用する演算装置の選択は、動作テンプレートに格納された命令の種別、即ち上記操作コードに基づいて動作テンプレート呼出装置35が行い、選択・制御する。

#### 【発明の効果】

以上説明したように本発明は、データパケットをデータ部とヘッダ部とに分離し、分離されたヘッダ部を更新することにより、ヘッダ部のみ高速に多重処理することができる、パケットのデータ部の長さに影響されることなく統一的な処理が可能となる効果がある。

また、データ部のみバッファリングすることにより、バッファメモリの容量をプロセッサによらず自由に選択可能とすると同時にパケット長の変換手段を簡単な装置構成で可能とする効果がある。

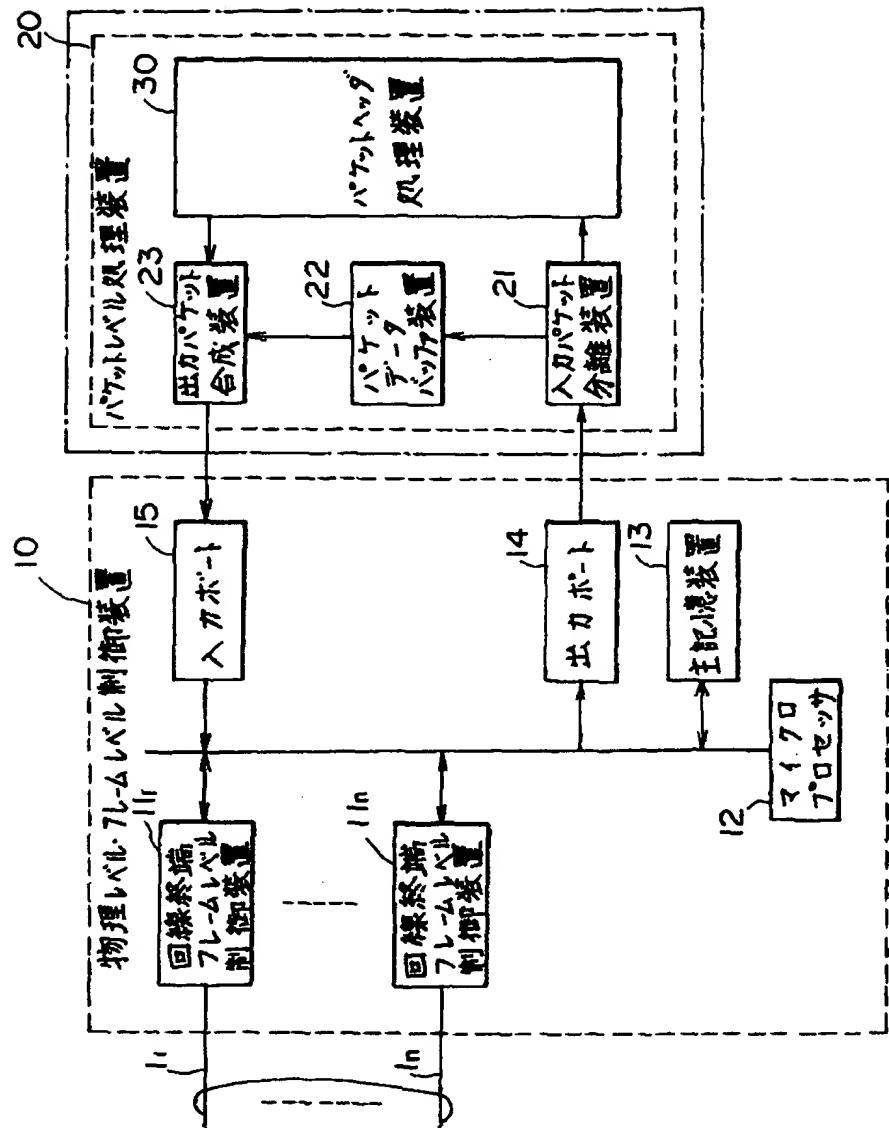
さらに、パケットヘッダ処理手段をデータフロー型処理装置とすれば、データパケットのヘッダ部のみならず制御パケットの処理においても、パケット交換処理がもつ処理の並列性たとえばファシリティフィールドの展開・ファシリティのチェック等を容易に引き出すことができ、処理速度およびスループットの大幅な向上を可能とする効果がある。

#### 【図面の簡単な説明】

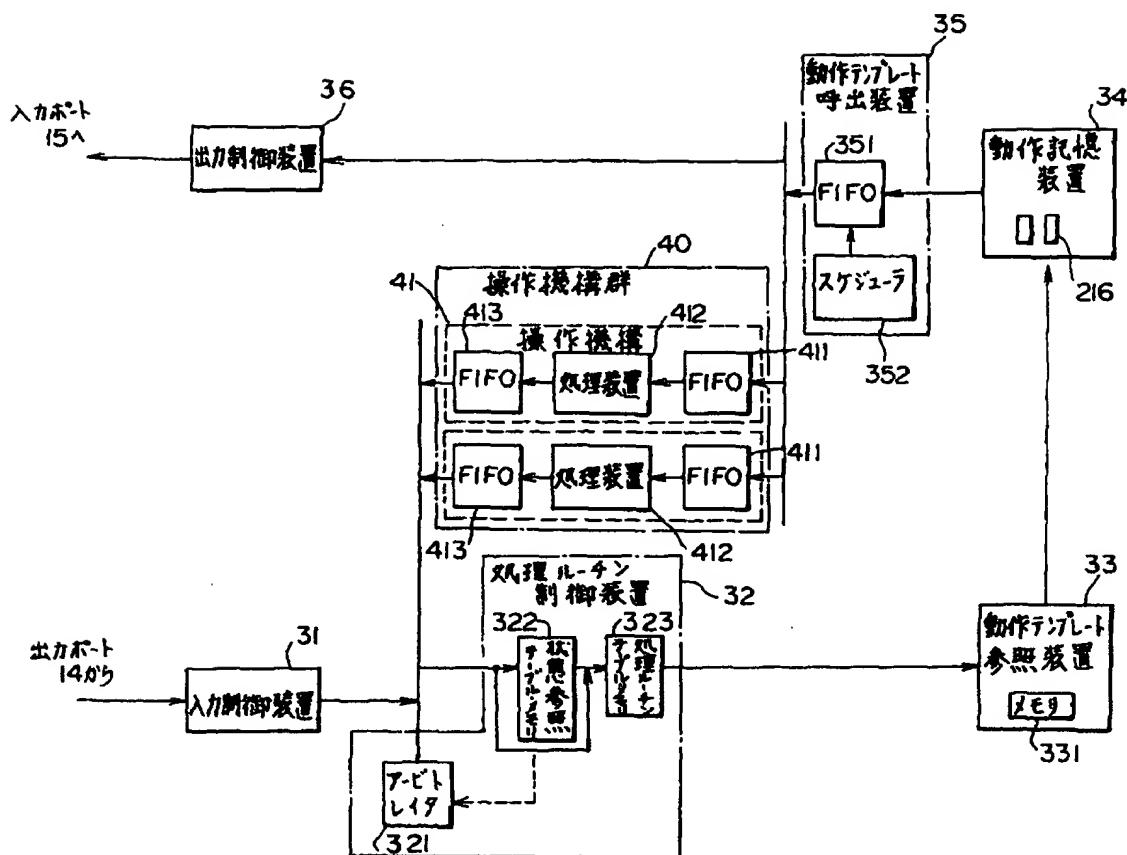
第1図は本発明に係わるパケット交換処理装置の一実施例を示す系統図、第2図は第1図の装置を構成するパケットヘッダ処理装置の系統図、第3図は第2図の装置におけるデータ形式を示すデータ形式図、第4図は第2図の装置を構成する動作記憶装置の動作フローを示すフローチャートである。

11～1n……回線、10……物理レベル・フレームレベル制御装置、11i～11n……回線終端・フレームレベル制御装置、12……マイクロプロセッサ、13……主記憶装置、14……出力ポート、15……入力ポート、20……パケットレベル処理装置、21……入力パケット分離装置、22……パケットデータバッファ装置、23……出力パケット合成装置、30……パケットヘッダ処理装置、31……入力制御装置、32……処理ルーチン制御装置、33……動作テンプレート参照装置、34……動作記憶装置、35……動作テンプレート呼出装置、36……出力制御装置、40……操作機構群、41……操作機構。

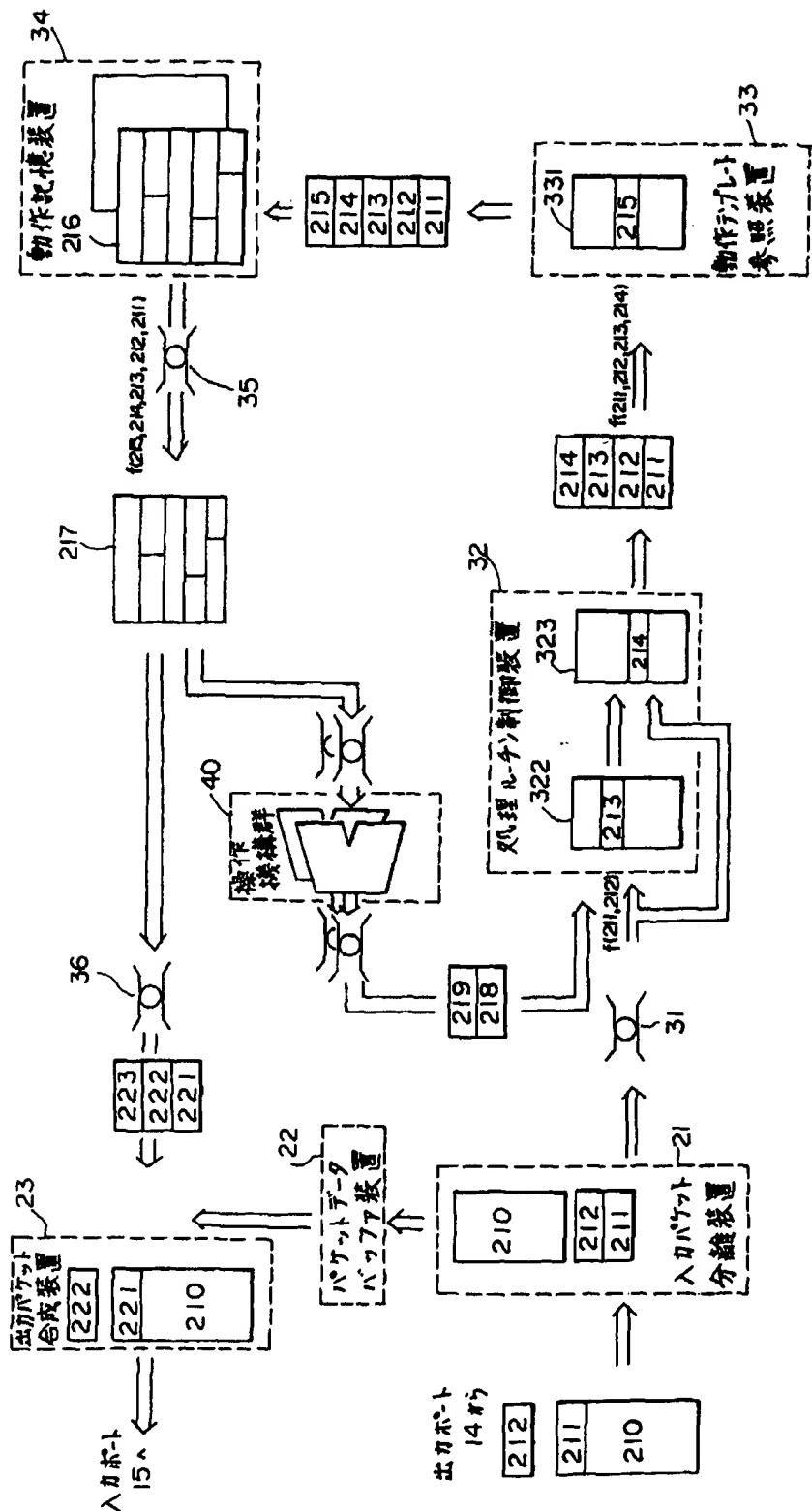
【第1図】



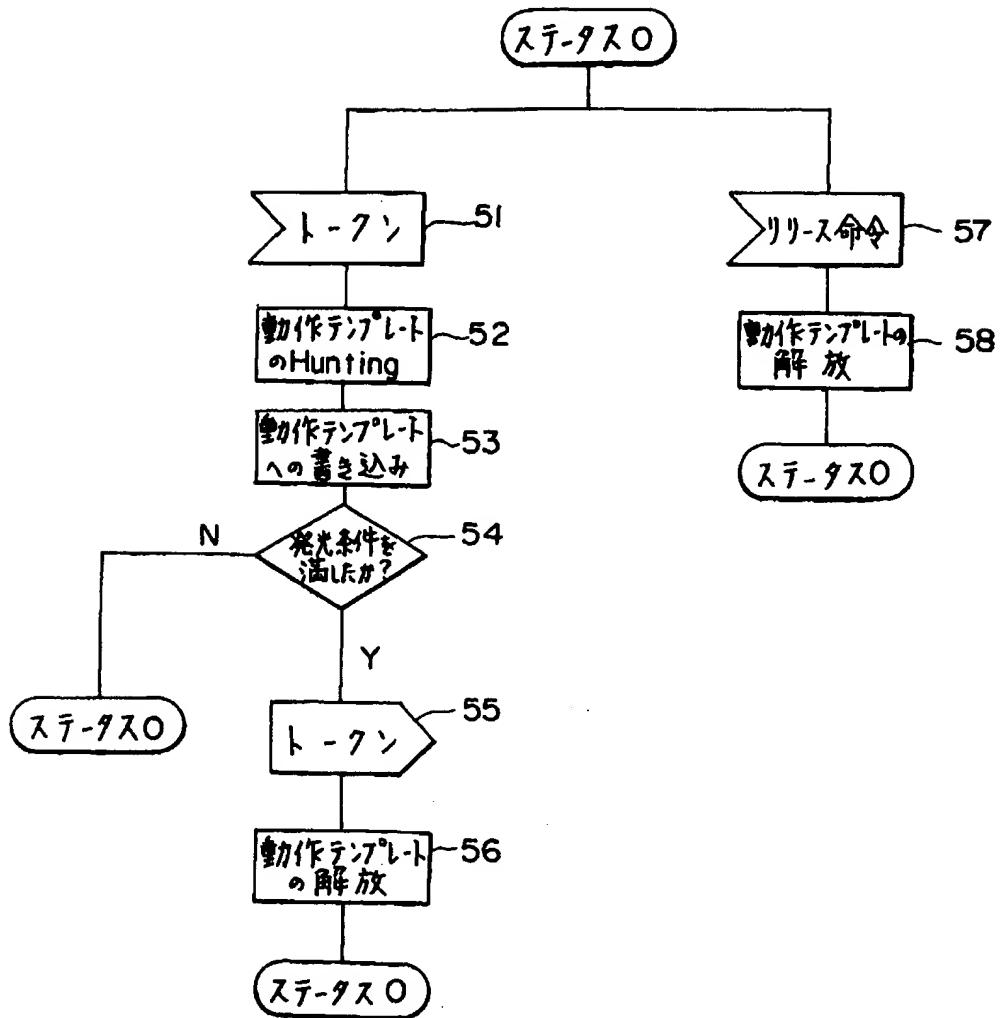
【第2図】



### 【第3図】



【第4図】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

---

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**